

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-204593

(43)Date of publication of application : 24.07.1992

(51)Int.Cl.

G09G 3/36  
G02F 1/133

(21)Application number : 02-330678

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 30.11.1990

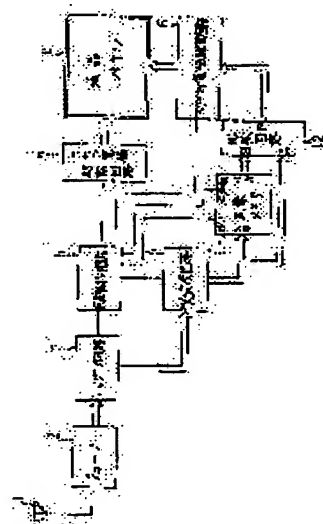
(72)Inventor : MORI HIDEKI

## (54) LIQUID CRYSTAL DRIVING SYSTEM

### (57)Abstract:

**PURPOSE:** To improve the response speed of the gradation change with a relatively small memory capacity by providing an image memory storing one frame of the image data allocated with one address to multiple picture elements of a liquid crystal panel.

**CONSTITUTION:** An image memory 11 stores the image data from an A/D converting circuit 4 with one address allocated to four picture elements of a liquid crystal panel 8 according to the memory address and read/write instructions from a synchronization control circuit 5 and outputs the image data to the input terminal B of a comparing circuit 12 after one frame. The image data outputted from the circuit 4 are inputted to the input terminal A of the circuit 12, the image data of the terminals A, B are compared as follows, and image data D1-D3 are outputted.  $A > B \rightarrow P=7$  (maximum gradation),  $A=B \rightarrow P=A$ ,  $A < B \rightarrow P=0$  (minimum gradation), the image data are fed to a segment driving circuit 6 to drive the liquid crystal panel 8, the leading or trailing width of light permeability is increased, and the time to reach the corresponding light permeability is shortened.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3041951号

(P3041951)

(45)発行日 平成12年 5月15日 (2000. 5. 15)

(24)登録日 平成12年 3月10日 (2000. 3. 10)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/133

5 7 5

G 0 2 F 1/133

5 7 5

請求項の数1 (全 7 頁)

(21)出願番号 特願平2-330678

(22)出願日 平成 2年11月30日 (1990. 11. 30)

(65)公開番号 特開平4-204593

(43)公開日 平成 4年 7月24日 (1992. 7. 24)

審査請求日 平成 9年10月22日 (1997. 10. 22)

(73)特許権者 999999999

カシオ計算機株式会社

東京都渋谷区本町 1丁目 6番 2号

(72)発明者 森 秀樹

東京都八王子市石川町2951番地の 5 カ

シオ計算機株式会社八王子研究所内

(74)代理人 999999999

弁理士 鈴江 武彦 (外 3名)

審査官 小松 徹三

(58)調査した分野(Int.Cl.<sup>7</sup>, D B名)

G09G 3/36

G02F 1/133 575

(54)【発明の名称】 液晶駆動方式

1

(57)【特許請求の範囲】

【請求項 1】累積応答する液晶パネルを用いて画像を表示する液晶駆動方式において、

液晶パネルの 1 フレーム分の画素の縦横にそれぞれ 1 つもしくは複数おきになるように複数画素に 1 アドレスを割り当てた各アドレスに対応した画素の表示用デジタル画像データを記憶する画像メモリと、

表示用デジタル画像データと上記画像メモリから 1 フレーム遅れて読出される複数画素に 1 アドレスを割り当てた画像データとを各画素毎にレベル比較し、今回の画像データと 1 フレーム前の複数画素に 1 アドレスを割り当てた画像データが同じ場合には今回の画像データをそのまま出力し、今回の画像データが 1 フレーム前の複数画素に 1 アドレスを割り当てた画像データより大きい場合には画像データとして最大値を出力し、今回の画像デー

2

タが 1 フレーム前の複数画素に 1 アドレスを割り当てた画像データより小さい場合には画像データとして最小値を出力する比較回路と、

この比較回路より出力される画像データに基づいて液晶パネルを表示駆動する駆動手段と

を具備したことを特徴とする液晶駆動方式。

【発明の詳細な説明】

【産業上の利用分野】

本発明は、例えば液晶テレビ等に用いられる液晶パネルを駆動する液晶駆動方式に関する。

【従来の技術】

従来の液晶テレビは、一般に第 5 図に示すように構成されている。同図において、1 はテレビアンテナで、このアンテナ 1 により受信されたテレビ放送電波は、チューナ 2 に入力される。このチューナ 2 は、受信電波の中

から指定チャンネルの電波を選択し、中間周波信号に変換してテレビニア回路3に出力する。このテレビニア回路3は、チューナ2からの中間周波信号よりビデオ信号と垂直同期信号及び水平同期信号を取出し、ビデオ信号をA/D変換回路4へ、同期信号を同期制御回路5へそれぞれ出力する。この同期制御回路5は、上記垂直同期信号及び水平同期信号から各種タイミング信号を作成し、A/D変換回路4、セグメント駆動回路6、コモン電極駆動回路7へ出力する。

上記A/D変換回路4は、同期制御回路5からのサンプリングクロックに同期してビデオ信号を数ビットのデジタルデータに変換し、セグメント駆動回路6へ出力する。このセグメント駆動回路6は、A/D変換回路4からのデータに従って階調信号を作成すると共に、更にこの階調信号に基づいてセグメント電極駆動信号を作成し、マトリクス型の液晶パネル8のコモン電極を順次選択的に駆動する。

上記のようにして受信したビデオ信号に基づいて液晶パネル8が駆動されるが、この液晶パネル8は、第6図に示すように累積応答効果によって作動するために応答速度が遅いという性質がある。上記第6図は、階調が「7」及び「0」の場合の液晶駆動電圧合成波形と液晶パネル8の光透過率との関係を示したものである。これに対し、上記従来の液晶パネル駆動方法では、第6図に示したように単にビデオ信号に対応した階調信号を作成して液晶パネル8を駆動しているだけであるので、液晶パネル8の応答特性を改善できず、速く動く画像に対応できないという問題があった。

そこで、応答速度を向上させた液晶パネル駆動方式が考えられる。即ち、第5図の構成に加えて、A/D変換回路4の出力側に1フレームのデジタル画像データを記憶する画像メモリを設けると共に、上記デジタル画像データと画像メモリから1フレーム遅れて読み出される画像データとを比較する比較回路を設け、A/D変換回路4からそのまま入力された画像データと画像メモリからの1フレーム前の画像データが同じ場合には、そのデータをそのまま出力し、A/D変換回路4からの画像データが画像メモリからの1フレーム前の画像データより大きい場合は、画像データとして最大値を出力し、A/D変換回路4からの画像データが画像メモリからの1フレーム前の画像データより小さい場合は、画像データとして最小値を出力する。

上記の構成により、画像データが変化した時には、最大階調値あるいは最小階調値で液晶パネル8が駆動され、光透過率の立上りあるいは立下が急峻となり、液晶パネル8の応答速度を高めることができた。

〔発明が解決しようとする課題〕

しかしながら、上記液晶パネル駆動方式では画像メモリを液晶パネル1画素に1アドレスを使用しているため、画像メモリの記憶容量が大きくなるという欠点があ

った。

本発明は上記の実情に鑑みてなされたもので、液晶パネルの階調変化の応答速度を向上し得、且つ画像メモリの記憶容量を小さくし得る液晶駆動方式を提供することを目的とする。

〔課題を解決するための手段〕

本発明は上記課題を解決するために、累積応答する液晶パネルを用いて画像を表示する液晶駆動方式において、液晶パネルの複数画素に1アドレスを割り当てた表示用デジタル画像データを1フレーム分記憶する画像メモリを設け、上記デジタル画像データと上記画像メモリから1フレーム遅れて読出される複数画素に1アドレスを割り当てた画像データとを比較回路により各画素毎にレベル比較し、今回の画像データと1フレーム前の複数画素に1アドレスを割り当てた画像データが同じ場合には今回の画像データをそのまま出力し、今回の画像データが1フレーム前の複数画素に1アドレスを割り当てた画像データより大きい場合には画像データとして最大値を出力し、今回の画像データが1フレーム前の複数画素に1アドレスを割り当てた画像データより小さい場合には画像データとして最小値を出力した画像データに基づいて液晶パネルを表示駆動するものである。

〔作 用〕

上記手段により、画像メモリを液晶パネルの複数画素に1アドレスを使用することにより、画像メモリの記憶容量を小さくすることができると共に、画像データが変化した際には、最大階調値あるいは最小階調値で液晶パネルを駆動することにより、光透過率の立上りあるいは立下りを急峻として、液晶パネルの応答速度を高め、急激に変化する画像に対しても迅速に追従させることを可能としたものである。

〔実施例〕

以下図面を参照して本発明の一実施例を説明する。

第1図は本発明を液晶テレビに実施した場合の例について示したもので、第5図と同一部分は同一符号を付して詳細な説明は省略する。本発明は、第1図に示すようにA/D変換回路4の出力側に画像メモリ11及び比較回路12を設けている。上記画像メモリ11は液晶パネル8の4画素に1アドレスを割り当てた表示用デジタル画像データを1フレーム分記憶できるメモリで、同期制御回路5から与えられるメモリアドレス及び読出し／書込み命令に従って動作し、A/D変換回路4から送られてくる例えば3ビットの画像データを液晶パネル8の4画素に1アドレスを割り当てて順次記憶して1フレーム後に比較回路12の入力端子Bに順次出力する。

即ち、第2図に示すように、A/D変換回路4から出力された画像データを液晶パネル8の画素Aa, Ba, Ab, Bb…の横縦とも1つおきに間引いて画像メモリ11に記憶させる。例えば、液晶パネル8のAaの画素は画像メモリ11のアドレス0、Caの画素は画像メモリ11のアドレス1、

Acの画素は画像メモリ11のアドレスNというように記憶させる。そして、画像メモリ11から読み出す時は、間引いた画素も、画像データを記憶させた画素と同じ画像データを比較回路12に出力する。つまり、Aaの画素の画像データはアドレス0に記憶させた画像データと比較し、Ba,Ab,Bbの画素の画像データもアドレス0に記憶させた画像データと比較する。

また、前記比較回路12の入力端子Aには、A/D変換回路4から出力される画像データが入力される。この比較回路12は、入力端子A,Bに与えられるA/D変換回路4からの画像データと画像メモリ11から読出される1フレーム遅れた4画素に1アドレスを割り当てた画像データとをレベル比較し、次のような規則に従って出力端子Pより画像データD1~D3を出力する。

$A > B \rightarrow P = 7$  (最大階調)

$A = B \rightarrow P = A$

$A < B \rightarrow P = 0$  (最小階調)

そして、上記比較回路12の出力端子Pから出力される画像データD1~D3は、セグメント駆動回路6へ送られる。

次に上記実施例の動作を第3図、第4図のタイミングチャートを参照して説明する。A/D変換回路4から出力される3ビットの画像データは、比較回路12の入力端子A及び画像メモリ11に入力される。この画像メモリ11は、A/D変換回路4から送られてくる画像データを同期制御回路5の制御に従って液晶パネル8の縦横にそれぞれ1つおきになるように4画素に1アドレスを割り当てて順次記憶し、1フレーム後に比較回路12の入力端子Bに出力する。この比較回路12は、A/D変換回路4から出力される画像データと画像メモリ11から1フレーム遅れて読出される4画素に1アドレスを割り当てた画像データをレベル比較し、1フレーム前の4画素に1アドレスを割り当てた画像データより今回の画像データの方がレベルが高い場合には、画像データD1~D3として最大値「7」、つまり「111」を出力し、1フレーム前の4画素に1アドレスを割り当てた画像データと今回の画像データのレベルが同じ場合には、A/D変換回路4から送られてくる画像データをそのまま画像データD1~D3として出力し、更に1フレーム前の4画素に1アドレスを割り当てた画像データより今回の画像データの方がレベルが低い場合には、画像データD1~D3として最小値「0」、つまり「000」を出力する。

上記比較回路12から出力される画像データD1~D3は、セグメント駆動回路6へ送られる。このセグメント駆動回路6は、上記比較回路12からの画像データD1~D3に基づいてセグメント駆動信号を発生し、液晶パネル8のセグメント電極を駆動する。第3図及び第4図は、液晶パネル8に対するコモン駆動信号及びセグメント駆動信号の合成波形、並びにこの合成波形に対する液晶パネル8の光透過率の関係を、階調が「0」→「4」及び「7」

→「4」に変化した場合について示したものである。

而して、A/D変換回路4から出力される画像データが変化すると、その画像データに応じて液晶パネル8に対する駆動電圧合成波形が変化する。今、A/D変換回路4から出力される画像データの階調が例えば「0」から「4」に変化したとすると、第5図に示した従来回路では液晶パネル8の駆動電圧合成波形が第3図(a)に示すように階調「4」に対応したものとなり、液晶パネル8の光透過率は液晶の累積応答効果によって第3図(b)に実線A1で示すように階段状に変化し、数フレーム経過後に階調「4」に対応する値に達する。なお、第3図(b)における破線A2は、階調が「0」→「7」に変化した場合の液晶パネル8の光透過率の変化を参考のために示したものである。一方、本実施例においては、A/D変換回路4から出力される画像データの階調が「0」から「4」に変化した場合、比較回路12からは画像データD1~D3として最大値「7」が出力される。この結果、画像データの階調が変化した最初のフレームでは、液晶パネル8の駆動電圧合成波形は第3図(c)に示すように階調「7」に対応したものとなり、液晶パネル8の光透過率は第3図(d)に実線A3で示すように1ステップ目の立上り幅が大きくなる。そして、次のフレームでは画像メモリ11から読出される4画素に1アドレスを割り当てて代表された1画素の画像データの階調が「4」となり、比較回路12の入力端子A,Bに入力されるデータのレベルが同じになるので、比較回路12の出力端子Pからは入力端子Aに与えられるデータ、つまり、階調「4」のデータが出力される。従って、それ以後は液晶パネル8の駆動電圧合成波形は、第3図(c)に示すように本来の階調「4」に対応したものとなり、液晶パネル8の光透過率もそれに応じて変化し、階調「4」に対応する値で一定となる。

上記のようにA/D変換回路4から出力される画像データの階調が上がるときは、最初のフレームのみ液晶パネル8が階調「7」で駆動されるので、光透過率の立上り幅が大きくなり、画像データに対応する光透過率に達するまでの時間が短縮される。

また一方、A/D変換回路4から出力される画像データの階調が下がった場合、例えば階調が「7」から「4」に変化したとすると、第5図に示した従来回路では液晶パネル8の駆動電圧合成波形が第4図(a)に示すように階調変化に対応したものとなり、液晶パネル8の光透過率は液晶の累積応答効果によって第4図(b)に実線B1で示すように階段状に低下し、数フレーム経過後に階調「4」に対応する値に達する。なお、第4図(b)における破線B2は、階調が「7」→「0」に変化した場合の液晶パネル8の光透過率の変化を参考のために示したものである。一方、本実施例においては、A/D変換回路4から出力される画像データの階調が「7」から「4」に変化した場合、比較回路12からは画像データD1~D3と

して最小値「0」が出力される。この結果、画像データの階調が変化した最初のフレームでは、液晶パネル8の駆動電圧合成波形は第4図(c)に示すように階調「0」に対応したものとなり、液晶パネル8の光透過率は第4図(d)に実線B3で示すように1ステップ目の立下り幅が大きくなる。そして、次のフレームでは画像メモリ11から読出される4画素に1アドレスを割り当てた画像データの階調が「4」となり、比較回路12の入力端子A,Bに入力されるデータのレベルが同じになるので、比較回路12の出力端子Pからは入力端子Aに与えられるデータ、つまり、階調「4」のデータが出力される。従って、それ以後は液晶パネル8の駆動電圧合成波形は、第4図(c)に示すように本来の階調「4」に対応したものとなり、液晶パネル8の光透過率もそれに依じて順次低下し、階調「4」に対応する値で一定となる。

上記のようにA/D変換回路4から出力される画像データの階調が下がる時は、最初のフレームのみ液晶パネル8が階調「0」で駆動されるので、光透過率の立下り幅が大きくなり、画像データに対応する光透過率に達するまでの時間が短縮される。

尚、上記実施例では4画素分を1画素で代表させたが、4画素の平均値をとって新しい画素と比較をしてもよい。

又、上記実施例では4画素を1アドレスに割り当てた場合について説明したが、4画素に限らず複数画素を1アドレスに割り当てたり、複数画素の平均値をとるようにしてもよい。

【発明の効果】

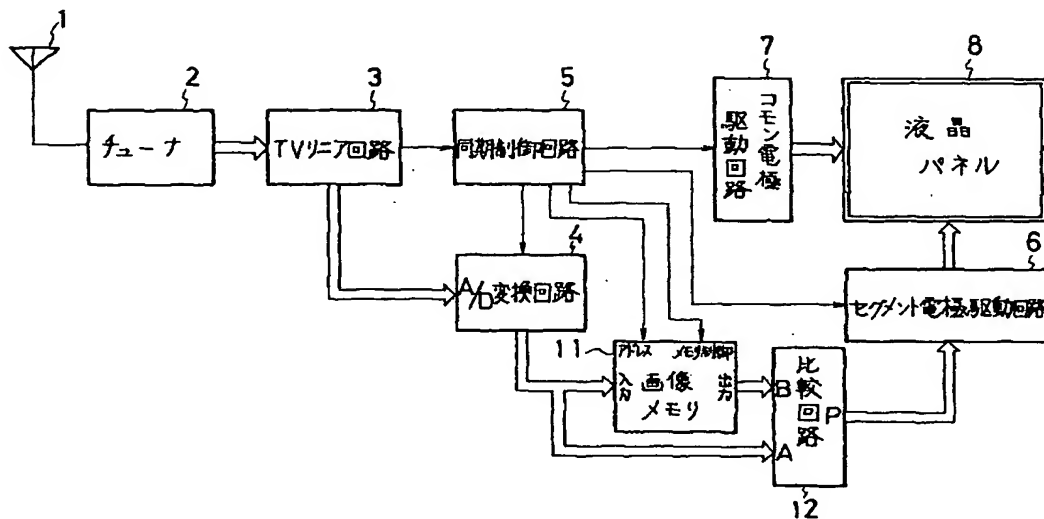
\* 以上述べたように本発明によれば、累積応答する液晶パネルを用いて画像を表示する液晶駆動方式において、画像メモリを液晶パネルの複数画素に1アドレスを使用することにより、画像メモリの記憶容量を小さくすることができると共に、画像データの階調が変化した時、その階調が中間調であっても、階調が上がる場合は最大階調値で、また、階調が下がる場合は最小階調値で液晶表示パネルを駆動し、更に階調変化のない場合はその階調で液晶表示パネルを駆動するようにしたので、これにより累積応答する液晶パネルの立上り及び立下りが急峻にして応答速度を高めることができ、速く動く画像に対しても迅速に追従させることができる。

【図面の簡単な説明】

第1図～第4図は本発明の一実施例を示すもので、第1図は液晶パネル駆動装置の回路構成を示すブロック図、第2図は液晶パネルの4画素に画像メモリの1アドレスを割り当てる場合を示す説明図、第3図は階調が「0」から「4」に変化した場合の液晶パネルの駆動電圧合成波形及び光透過率を示す図、第4図は階調が「7」から「4」に変化した場合の液晶パネルの駆動電圧合成波形及び光透過率を示す図、第5図は従来における液晶テレビの構成を示すブロック図、第6図は第5図の動作を説明するための液晶パネルの駆動電圧合成波形と光透過率との関係を示す図である。

2……チューナ、3……テレビニア回路、4……A/D変換回路、5……同期制御回路、6……セグメント駆動回路、7……コモン電極駆動回路、8……液晶パネル、11……画像メモリ、12……比較回路。

【第1図】



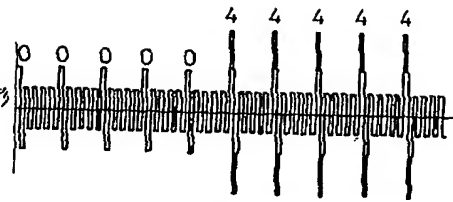
【第2図】

	A	B	C	D	E	F
a	7ドレ 0		7ドレ 1		7ドレ 2	
b						
c	7ドレ N		7ドレ N+1		7ドレ N+2	
d						
e	7ドレ 2N+1		7ドレ 2N+2		7ドレ 2N+3	

駆動電圧合成波形  
(階調0-4)

LCD透過率

【第3図】

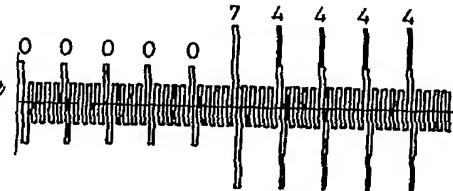


(a)



(b)

駆動電圧合成波形



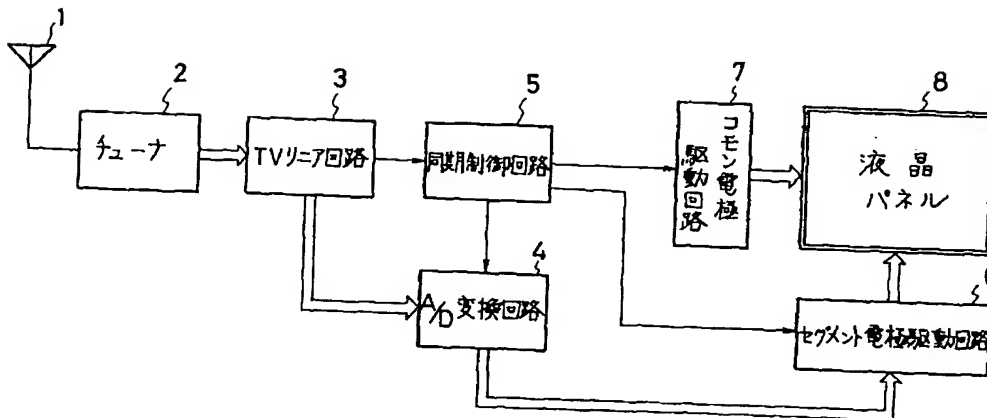
(c)

LCD透過率

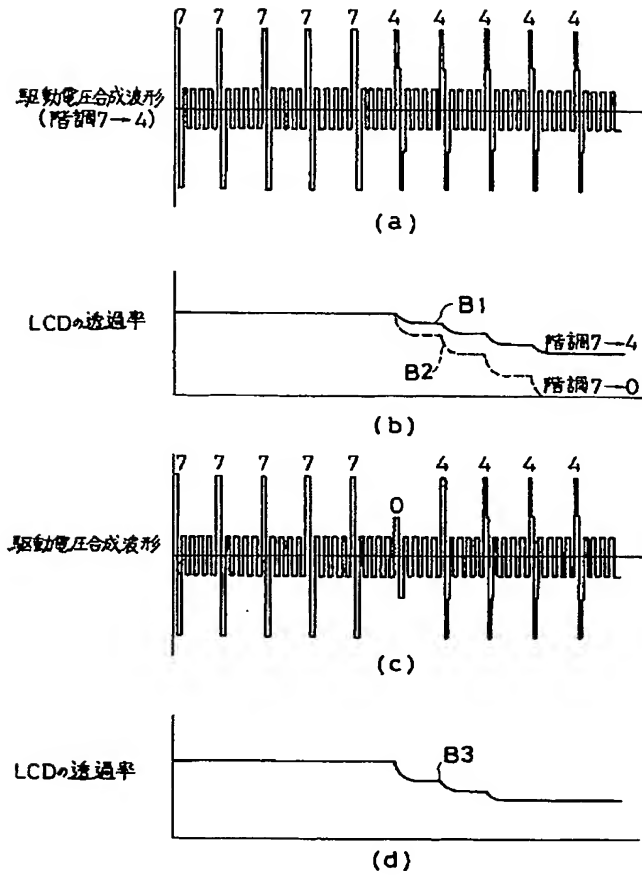


(d)

【第5図】



【第4図】





【第6図】

